

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-328039

(43)Date of publication of application : 10.12.1993

(51)Int.Cl.

H04N 1/04
H01L 27/148
H04N 1/028
H04N 5/335

(21)Application number : 04-132462

(71)Applicant : RICOH CO LTD

(22)Date of filing : 25.05.1992

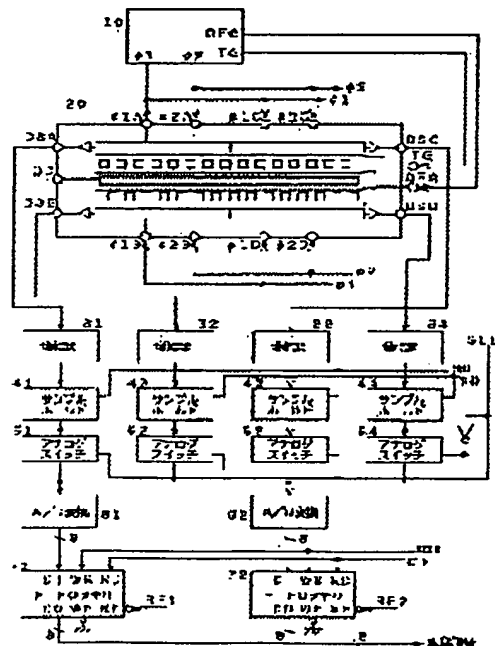
(72)Inventor : KAGA MIKINOBU

(54) IMAGE READER

(57)Abstract:

PURPOSE: To perform high speed image reading and to process signals so as to easily utilize an image sensor outputting plural signals divided by an image area in parallel.

CONSTITUTION: A signal processing circuit synthesizes four sets of signals into single image signal through the use of the image sensor 20 outputting a four- parallel signal divided by the odd/even numbers and the area of the list of picture elements by respectively using CCD. After synthesizing the signals of the odd/even numbers by an analog signal, they are ADD-converted and the signals of respective areas are written in FIFO memories 71 and 72 which are respectively independent to read in the order of the list of the area. Otherwise, the four-sets of signals after respective A/C conversion are respectively written in the four FIFO memories 71 and 72 and at the time of reading, they are read in the order corresponding to the list of odd/even numbers and that of the area.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-328039

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 1/04	1 0 3 D	7251-5C		
H 0 1 L 27/148				
H 0 4 N 1/028	A	9070-5C		
5/335	P			
		7210-4M	H 0 1 L 27/14	B
			審査請求 未請求 請求項の数5(全 10 頁)	

(21)出願番号 特願平4-132462

(22)出願日 平成4年(1992)5月25日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 加賀美 宜伸

東京都大田区中馬込1丁目3番6号 株式
会社リコー内

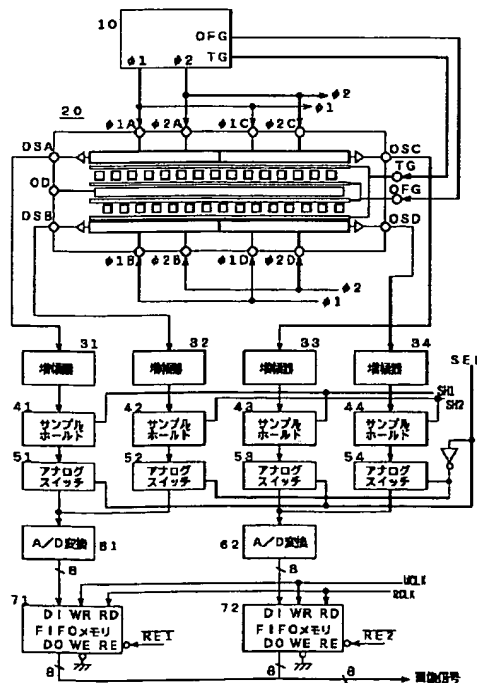
(74)代理人 弁理士 杉信 興

(54)【発明の名称】 画像読取装置

(57)【要約】

【目的】 画像読取を高速化する。画像領域で区分された複数の信号を並列に出力するイメージセンサを、簡単に利用できるように信号を処理する。

【構成】 画素の並びの奇数と偶数及び領域によって区分された4並列信号を各々CCDを用いて出力するイメージセンサ20を用い、信号処理回路によって、4組の信号を1つの画像信号に合成する。奇数と偶数の信号をアナログ信号で合成した後、A/D変換し各々独立したFIFOメモリに各領域の信号を書込んで、領域の並び順に読み出す。又は各々A/D変換した後の4組の信号を4つのFIFOメモリに各々書込み、読出す際に、奇数と偶数の並び及び領域の並びに従った順番で読み出す。



【特許請求の範囲】

【請求項1】 4以上の光電変換素子が一列に配列された光電変換素子群が領域毎に複数に区分され、更に区分された各々の領域の光電変換素子群が予め定めた順序で複数系統に区分され、区分された4組以上の各々の光電変換素子群から出力される信号が現われる4以上の出力端子を有する画像読取手段；及び該画像読取手段の前記出力端子に現われる複数系統の光電変換素子群からの信号を画素順に並べて合成し、かつ区分された複数領域の光電変換素子群からの信号を画素順に並べて合成し、1つの時系列信号として出力する、信号合成手段；を備える画像読取装置。

【請求項2】 前記信号合成手段は、画像読取手段の前記出力端子に現われる複数系統の光電変換素子群からのアナログ信号を合成する、アナログ信号合成手段；該アナログ信号合成手段の出力に接続されたA/D変換手段；該A/D変換手段の出力に接続されたデジタルメモリ手段；及び該デジタルメモリ手段の読出しもしくは書込み制御によって前記画像読取手段の複数領域に区分された光電変換素子群の信号を画素順に並べる、メモリ制御手段；を含む、前記請求項1記載の画像読取装置。

【請求項3】 前記画像読取手段は、予め定めた順序で区分された複数系統の画素の信号を、互いに1画素周期の範囲内で位相をずらして出力し、前記アナログ信号合成手段は、互いに位相のずれた複数の画像信号を、互いに1画素周期以内でずれたタイミングで選択し出力してそれらを合成し、前記デジタルメモリ手段がFIFOメモリである、前記請求項2記載の画像読取装置。

【請求項4】 前記信号合成手段は、画像読取手段の前記出力端子に現われる複数系統の光電変換素子群からのアナログ信号をそれぞれデジタル信号に変換するA/D変換手段；該A/D変換手段の出力に接続されたデジタルメモリ手段；及び該デジタルメモリ手段の読出しもしくは書込み制御によって、予め定めた順序で区分された複数系統の画素の信号、ならびに前記画像読取手段の複数領域に区分された光電変換素子群の信号を画素順に並べ、1つの画像信号に合成するメモリ制御手段；を含む、前記請求項1記載の画像読取装置。

【請求項5】 前記画像読取手段は、予め定めた順序で区分された複数系統の画素の信号を同一のタイミングでそれぞれ出力し、前記デジタルメモリ手段がFIFOメモリである、前記請求項4記載の画像読取装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えばデジタル複写機 of 原稿画像読取部などに利用される画像読取装置に関する。

【0002】

【従来の技術】 例えば複写機 of 分野では、画像編集が可能で画像処理が容易であるため、最近ではアナログ複写

機に比べてデジタル複写機の需要が伸びている。しかし、コピースピードの点では、デジタル複写機はまだまだアナログ複写機に及ばないのが実情である。その主な理由は、デジタル複写機 of 原稿画像読取部に用いられる、CCDイメージセンサ of 読取速度 of 限界にある。特に、デジタル複写機 of 解像度を高めるためにCCDイメージセンサ of 画素数を増やすと、それに反比例して1画素あたりの信号読出に許される時間が短くなるので、センサ of 読取速度 of 制約を受け易くなる。

【0003】 CCDイメージセンサ of 読取速度を高める方法としては、従来より、センサ of 光電変換 of 効率（感度）を上げて蓄積時間を短縮し、同時に電荷 of 転送速度を上げる、というプロセス的な方法と、センサ of 出力回路を並列化する方法とが用いられている。

【0004】 後者の方法を用いた代表的なイメージセンサでは、1, 2, 3, 4, ... と順番に一次元配列された多数 of 画素のうち、奇数番目 of 画素（Odd: 1, 3, 5, ...）と偶数番目 of 画素（Even: 2, 4, 6, ...）とをそれぞれ独立した別々の出力回路に分けて接続し、奇数と偶数 of 2つの出力回路を並列的に動作させることにより、通常 of 2倍 of 速度で of 信号読出を可能にしている。読出された2系統 of シリアル画像信号は、合成して1つの時系列画像信号に変換される。なお、奇数番目 of 各画素 of 信号が現われるタイミングと偶数番目 of 各画素 of 信号が現われるタイミングとを、互いに半画素周期ずらしたものと、同一にしたものがある。例えば、互いに半画素周期ずらしたタイミングで出力される奇数画像信号と偶数画像信号とがある場合、半画素周期毎に前者と後者の選択を切替えて出力すれば、1, 2, 3, 4, ... と画素 of 順番に並ぶように合成された1つのシリアル画像信号が得られる。

【0005】

【発明が解決しようとする課題】 しかしながら依然として、現在のCCDイメージセンサ of 読取速度は充分でない。即ち、出力回路を奇数と偶数に分けることによって、それが1つの場合に比べて2倍 of 速度になるだけである。

【0006】 ところで、最近になって、出力回路を4組以上設け、4組以上に分割された画像信号を並列的に出力しうるCCDイメージセンサが各社から発売されている。同時に4画素 of 信号を読出すことができれば、従来の更に2倍 of 読取速度が実現する。しかしながら市販 of CCDイメージセンサは、例えば10000画素 of 受光素子を有するものでは、受光素子は1番～5000番 of 奇数及び偶数と、5001番～10000番 of 奇数及び偶数と of 4組に区分されて、それぞれ独立した出力回路に接続されている。即ち、4つのシリアル画像信号には、例えばあるタイミングで、1番目 of 画素、2番目 of 画素、5001番目 of 画素、及び5002番目 of 画素 of 信号が現われる。従って、これら4組 of 信号は、簡単に

3

1つの画像信号として取扱うことはできず、特に1番目～5000番目の画素の領域と5001番目から10000番目までの画素の領域とが大きく離れているため、1番目～5000番目の画素領域と5001番目から10000番目までの画素領域とを別々に画像処理しなければならない。複数の信号を独立した回路で別々に画像処理すると、回路構成が複雑化するのを避けられない。

【0007】従って本発明は、画像読取装置の読取速度を高速化するとともに、信号処理を容易にして回路構成が複雑化するのを防止することを課題とする。

【0008】

【課題を解決するための手段】上記課題を解決するために、本発明の画像読取装置は、4以上の光電変換素子が一列に配列された光電変換素子群が領域毎に複数に区分され、更に区分された各々の領域の光電変換素子群が予め定めた順序で複数系統に区分され、区分された4組以上の各々の光電変換素子群から出力される信号が現われる4以上の出力端子を有する画像読取手段；及び該画像読取手段の前記出力端子に現われる複数系統の光電変換素子群からの信号を画素順に並べて合成し、かつ区分された複数領域の光電変換素子群からの信号を画素順に並べて合成し、1つの時系列信号として出力する、信号合成手段；を備える。

【0009】また第2番の発明では、前記信号合成手段は、画像読取手段の前記出力端子に現われる複数系統の光電変換素子群からのアナログ信号を合成する、アナログ信号合成手段；該アナログ信号合成手段の出力に接続されたA/D変換手段；該A/D変換手段の出力に接続されたデジタルメモリ手段；及び該デジタルメモリ手段の読出しもしくは書込み制御によって前記画像読取手段の複数領域に区分された光電変換素子群の信号を画素順に並べ、メモリ制御手段；を含む。

【0010】また第3番の発明では、前記画像読取手段は、予め定めた順序で区分された複数系統の画素の信号を、互いに1画素周期の範囲内で位相をずらして出力するものとし、前記アナログ信号合成手段は、互いに位相のずれた複数の画像信号を、互いに1画素周期以内でずれたタイミングで選択し出力してそれらを合成するものとし、前記デジタルメモリ手段をFIFOメモリとする。

【0011】また第4番の発明では、前記信号合成手段は、画像読取手段の前記出力端子に現われる複数系統の光電変換素子群からのアナログ信号をそれぞれデジタル信号に変換するA/D変換手段；該A/D変換手段の出力に接続されたデジタルメモリ手段；及び該デジタルメモリ手段の読出しもしくは書込み制御によって、予め定めた順序で区分された複数系統の画素の信号、ならびに前記画像読取手段の複数領域に区分された光電変換素子群の信号を画素順に並べ、1つの画像信号に合成するメモリ制御手段；を含む。

4

【0012】また第5番の発明では、前記画像読取手段は、予め定めた順序で区分された複数系統の画素の信号を同一のタイミングでそれぞれ出力するものとし、前記デジタルメモリ手段をFIFOメモリとする。

【0013】

【作用】本発明によれば、画像読取手段は、4以上の出力端子を有し、区分された4組以上の各々の光電変換素子群からの信号が実質上同時に、即ち並列的に出力されるので、出力される画像信号の1画素あたりの周期が、全画素を順番に出力する場合に比べて区分数倍になり、区分数が多くなるに従って、単位時間あたりの読出可能画素数が増え、高速画像読取が可能になる。画像読取手段が並列的に出力する複数の信号は、一列に配列された光電変換素子群を例えば偶数と奇数のような順番によって区分した各々の系統からの信号と、領域毎に区分した各々の領域からの信号であるが、信号合成手段がこれらの信号を処理し、複数系統の光電変換素子群からの信号を画素順に並べて合成し、かつ区分された複数領域の光電変換素子群からの信号を画素順に並べて合成し、1つの時系列信号（画像信号）として出力する。従って、本発明の画像読取装置に接続する画像処理回路は1つのみで良い。

【0014】第2番目の発明では、並び順によって区分された複数系統の信号は、アナログ信号合成手段によってアナログ信号の形で合成され、その後でA/D変換手段によってデジタル信号に変換され、その後で、デジタルメモリ手段に対する書込み又は読出しの際に、メモリ制御手段の制御により、領域によって区分された複数グループの画像信号が画素順に並べられ、1つの時系列信号として出力される。第3番目の発明では、並び順によって例えば奇数番目と偶数番目に区分された複数系統の信号は、互いに1画素周期の範囲内で位相をずらして出力され、これらの信号は、アナログ信号合成手段が、互いに1画素周期以内でずれたタイミングで例えば交互に選択することによってそれらを合成する。またデジタルメモリ手段はFIFOメモリであり、画素の順番はメモリ上で変化せず、先に書込んだ画素の情報が先に読み出される。

【0015】第4番目の発明では、画像読取手段が出力する全ての区分の画像信号は、まずA/D変換手段によってデジタル信号に変換され、デジタルメモリ手段に対する書込み又は読出しの際に、メモリ制御手段が、予め定めた順序で区分された複数系統の画素の信号、ならびに複数領域に区分された信号を画素順に並べ、1つの画像信号に合成する。

【0016】第5番目の発明では、画像読取手段から出力される複数の画像信号は、同一のタイミングでそれぞれの画素を出力する。またデジタルメモリ手段はFIFOメモリであり、画素の順番はメモリ上で変化せず、先に書込んだ画素の情報が先に読み出される。

【0017】

【実施例】一実施例の画像読取装置の主要部の構成を図1に示す。この実施例では、画像読取手段として、一次元CCDイメージセンサ20を用いている。このイメージセンサ20は、三菱電気株式会社製の集積回路であり、画素数が10000、画素サイズが $8 \times 8 \mu\text{m}$ 、画素配列はスタガー配列、光検出器は埋込みフォトダイオードであり、シフトレジスタには、2相駆動型のBCCDが4並列に設けられており、各々のシフトレジスタは8MHzのクロックパルスで駆動することができる。

【0018】このイメージセンサ20の画素の領域は、一列に並んだ画素群の1番から5000番までの前半の領域と、5001番から10000番までの後半の領域の2つに区分されている。また、各領域の画素群は、更に並び順の奇数番目と偶数番目とにそれぞれ区分されている。画素群は、1番目、3番目、5番目、・・・と、2番目、4番目、6番目、・・・と、5001番目、5003番目、5005番目、・・・と、5002番目、5004番目、5006番目、・・・の4つに区分されており、これらはそれぞれ独立した別々のCCDシフトレジスタに接続されている。従って、4つのCCDシフトレジスタを並列に駆動することによって、実質上同時に4つの画素の信号を並列に読み出すことができる。

【0019】4組に区分された各画素群の信号は、それぞれイメージセンサ20の出力端子OSA、OSB、OSC及びOSDから出力される。端子φ1A及びφ2Aは、OSAに出力される信号をシフトするシフトレジスタに与えるクロックの入力であり、端子φ1B及びφ2Bは、OSBに出力される信号をシフトするシフトレジスタに与えるクロックの入力であり、端子φ1C及びφ2Cは、OSCに出力される信号をシフトするシフトレジスタに与えるクロックの入力であり、端子φ1D及びφ2Dは、OSDに出力される信号をシフトするシフトレジスタに与えるクロックの入力である。その他の端子の機能は、一般に知られたイメージセンサと同様である。

【0020】イメージセンサ20の各シフトレジスタに印加されるクロックパルスφ1、φ2及び各種ゲート信号、ならびにその他の制御パルス信号は、タイミング発生回路10から出力される。

【0021】所定のクロックパルス及びゲート信号を印加して通常の駆動をした場合に、イメージセンサ20の各出力端子OSA、OSB、OSC及びOSDから出力される信号の例を図2に示す。図2を参照すると、OSAには奇数番目の第1画素から第4999画素がクロックに同期して順次にシリアル信号として出力され、OSBには偶数番目の第2画素から第5000画素がクロックに同期して順次にシリアル信号として出力され、OSCには奇数番目の第5001画素から第9999画素がクロックに同期して順次にシリアル信号として出力さ

れ、OSDには偶数番目の第5002画素から第10000画素がクロックに同期して順次にシリアル信号として出力される。また、OSB及びOSDに出力される偶数番目の信号は、OSA及びOSCに出力される奇数番目の信号に比べて、1画素周期の半周期分遅れている。即ち、まず第1画素と第5001画素がOSA及びOSCに出力され、半周期遅れて第2画素と第5002画素がOSB及びOSDに出力され、更に半周期後に、第3画素と第5003画素がOSA及びOSCに出力され、この動作が繰り返される。

【0022】図1を参照して説明する。イメージセンサ20の出力端子OSAは増幅器31の入力に接続され、増幅器31の出力はサンプルホールド回路41の入力に接続され、サンプルホールド回路41の出力はアナログスイッチ51に接続されている。同様に、イメージセンサ20の出力端子OSBは増幅器32の入力に接続され、増幅器32の出力はサンプルホールド回路42の入力に接続され、サンプルホールド回路42の出力はアナログスイッチ52に接続され、イメージセンサ20の出力端子OSCは増幅器33の入力に接続され、増幅器33の出力はサンプルホールド回路43の入力に接続され、サンプルホールド回路43の出力はアナログスイッチ53に接続され、イメージセンサ20の出力端子OSDは増幅器34の入力に接続され、増幅器34の出力はサンプルホールド回路44の入力に接続され、サンプルホールド回路44の出力はアナログスイッチ54に接続されている。また、アナログスイッチ51及び52の各出力端子は、A/D変換器61のアナログ入力端子に共通に接続されており、アナログスイッチ53及び54の各出力端子は、A/D変換器62のアナログ入力端子に共通に接続されている。更に、A/D変換器61のデジタル出力端子は、FIFO（先入れ・先出し）メモリ71のデータ入力端子に接続され、A/D変換器62のデジタル出力端子は、FIFOメモリ72のデータ入力端子に接続されている。2つのFIFOメモリ71及び72の8ビットデータ出力端子DOは、画像信号ラインに共通に接続されている。

【0023】サンプルホールド回路41及び43はクロックパルスSH1に同期して信号をサンプリングし、サンプルホールド回路42及び44はクロックパルスSH2に同期して信号をサンプリングする。即ち、サンプルホールド回路41～44は、それぞれ端子OSA、OSB、OSC及びOSDからの信号の有効な画素レベルが現われる毎に、即ち画素毎に、各々のレベルをサンプリングし次の画素レベルが現われるまで保持する。端子OSA及びOSCからの信号と端子OSB及びOSDからの信号は互いに半周期ずれて有期な画素レベルが現われるので、制御信号SH1とSH2はタイミングが半周期ずれている。

【0024】アナログスイッチ51及び53の各制御端

7

子には制御信号SELが印加され、他のアナログスイッチ52及び54の各制御端子には、信号SELを反転した制御信号が印加される。制御信号SELは、図示しないが、各出力端子OSA~OSDから出力される信号の繰り返し周期と同一周期のクロックパルスである。即ち、出力端子OSAに第1画素、第3画素、第5画素、・・・が現われる時に、サンプルホールド回路41の出力を通過するように（オンするように）アナログスイッチ51を制御し、その時にはアナログスイッチ52をオフし、逆に出力端子OSBに第2画素、第4画素、第6画素、・・・が現われる時に、サンプルホールド回路42の出力を通過するように（オンするように）アナログスイッチ52を制御し、その時にはアナログスイッチ51をオフする。また、出力端子OSCに第5001画素、第5003画素、第5005画素、・・・が現われる時に、サンプルホールド回路43の出力を通過するように（オンするように）アナログスイッチ53を制御し、その時にはアナログスイッチ54をオフし、逆に出力端子OSDに第5002画素、第5004画素、第5006画素、・・・が現われる時に、サンプルホールド回路44の出力を通過するように（オンするように）アナログスイッチ54を制御し、その時にはアナログスイッチ53をオフする。つまり、A/D変換器61のアナログ入力端子には、半周期毎に、アナログスイッチ51からの信号とアナログスイッチ52からの信号とが交互に印加されることになり、A/D変換器61のアナログ入力端子に印加される信号は、第1画素、第2画素、第3画素、第4画素、第5画素、・・・、5000と、奇数と偶数の区別なく順番に並べられた画像信号になる。同様に、A/D変換器62のアナログ入力端子には、半周期毎に、アナログスイッチ53からの信号とアナログスイッチ54からの信号とが交互に印加されることになり、A/D変換器62のアナログ入力端子に印加される信号は、第5001画素、第5002画素、第5003画素、第5004画素、第5005画素、・・・、10000と、奇数と偶数の区別なく順番に並べられた画像信号になる。

【0025】このようにして、A/D変換器61のアナログ入力端子には、第1画素から第5000画素の信号がシリアル信号の形で順番に印加され、それと同時に、A/D変換器62のアナログ入力端子には、第5001画素から第10000画素の信号がシリアル信号の形で順番に印加される。これらのアナログ信号は、A/D変換器61及び62によって、それぞれのレベルを示す8ビットのデジタルデータに変換される。

【0026】A/D変換器61から出力されるデジタルデータの画像信号は、書込同期パルスWCLKに同期してFIFOメモリ71に書込まれ、読出同期パルスRCLKに同期してFIFOメモリ71から読み出される。また、A/D変換器62から出力されるデジタルデータ

8

の画像信号は、書込同期パルスWCLKに同期してFIFOメモリ72に書込まれ、読出同期パルスRCLKに同期してFIFOメモリ72から読み出される。但し、FIFOメモリ71及び72は、その読出許可端子REが低レベルLの時にのみ、読出し動作が許可される。FIFOメモリ71及び72の各読出許可端子REには、それぞれ異なる制御信号が印加されるので、両者の読出タイミングは異なる。

【0027】図1の装置の主要部の信号波形の一例を図3に示す。図1及び図3を参照して説明する。書込同期パルスWCLKは、その周期がイメージセンサの各出力端子OSA~OSDの信号の繰り返し周期の半分のクロックパルスである。FIFOメモリ71及び72は、各々、書込同期パルスWCLKが低レベルから高レベルに立ち上がる毎に、データ入力端子DIのデータを入力して記憶する。即ち、図3に示すように、WCLKの1番目のパルスの立ち上がり時に、奇数組の第1画素及び第5001画素のデータがFIFOメモリ71及び72に書込まれ、WCLKの2番目のパルスの立ち上がり時に、偶数組の第2画素及び第5002画素のデータがFIFOメモリ71及び72に書込まれ、WCLKの3番目のパルスの立ち上がり時に、奇数組の第3画素及び第5003画素のデータがFIFOメモリ71及び72に書込まれ、以後同様に、WCLKの各パルスの立ち上がり毎に、奇数組と偶数組の画素のデータが繰り返しFIFOメモリ71及び72に書込まれる。

【0028】一方、読出同期パルスRCLKは、書込同期パルスWCLKの半分の繰り返し周期を有するクロックパルスであり、また全画素の半分以上のデータがFIFOメモリ71及び72に書込まれた後で現われる。即ち、各FIFOメモリに対して、読出し速度は書込み速度の倍になるので、予め充分なデータの書込みを行なった後で読出しを開始する。全画素の読出しを行なうために、読出同期パルスRCLKは1回あたり10000パルスが連続的に出力されるが、その期間の前半、即ちRCLKの第1パルスから第5000パルスの間は、FIFOメモリ71及び72の各読出許可端子REは、それぞれ許可レベルL及び禁止レベルHになっており、逆に後半、即ちRCLKの第5001パルスから第10000パルスの間は、FIFOメモリ71及び72の各読出許可端子REは、それぞれ禁止レベルH及び許可レベルLになっている。

【0029】つまり、読出同期パルスRCLKの第1パルスから第5000パルスの間は、FIFOメモリ71のみに対して読出制御が実施され、FIFOメモリ71にそれまでに書込まれた第1画素~第5000画素の画像データが連続的に読み出される。そして、読出同期パルスRCLKの第5001パルスから第10000パルスの間は、FIFOメモリ72のみに対して読出制御が実施され、FIFOメモリ72にそれまでに書込まれた

第5001画素～第10000画素の画像データが連続的に読み出される。前半の期間にFIFOメモリ71から読み出される第1画素～第5000画素の画像データと、後半の期間にFIFOメモリ72から読み出される第5001画素～第10000画素の画像データは、同じ8ビットの画像信号ラインにそれぞれ出力される。これにより、第1画素～第10000画素が時系列信号として順番に並んだ、シリアルデータの形で1つの画像信号が得られる。

【0030】変形実施例の画像読取装置の主要部の構成を図4に示す。この実施例では、画像読取手段として、一次元CCDイメージセンサ120を用いているが、各出力端子OSA～OSDから出力される信号のタイミングが異なる他は、前記実施例のイメージセンサ20と同一である。

【0031】所定のクロックパルス及びゲート信号を印加して通常の駆動をした場合に、イメージセンサ120の各出力端子OSA、OSB、OSC及びOSDから出力される信号の例を図5に示す。図2を参照すると、OSAには奇数番目の第1画素から第4999画素がクロックに同期して順次にシリアル信号として出力され、OSBには偶数番目の第2画素から第5000画素がクロックに同期して順次にシリアル信号として出力され、OSCには奇数番目の第5001画素から第9999画素がクロックに同期して順次にシリアル信号として出力され、OSDには偶数番目の第5002画素から第10000画素がクロックに同期して順次にシリアル信号として出力される。また、これらの信号の各画素のタイミングは全て同一であり、前記実施例のような半周期の遅れはない。

【0032】図4を参照して説明する。イメージセンサ120の出力端子OSA～OSDはそれぞれ増幅器131～134の入力に接続され、増幅器131～134の各出力はそれぞれサンプルホールド回路141～144の入力に接続され、サンプルホールド回路141～144の出力は、それぞれA/D変換器161～164アナログ入力端子に接続されている。また、A/D変換器161～164の各デジタル出力端子は、それぞれFIFOメモリ171～174のデータ入力端子DIに接続されている。この実施例では、イメージセンサ120から出力される4つの画像信号の間に位相差がないので、4つのサンプルホールド回路141～144には、同一のサンプリング用クロックパルスSHが印加される。また、4組の信号は、奇数組と偶数組とが合成されずに、それぞれ独立したFIFOメモリに書込まれる。FIFOメモリ171～174の書込み制御端子WRには書込同期パルスWCLKが印加され、FIFOメモリ171及び173の読出し制御端子RDには読出同期パルスRCLKAが印加され、FIFOメモリ172及び174の読出し制御端子RDには読出同期パルスRCLKBが

印加される。またFIFOメモリ171及び172の読出し許可制御端子REと、FIFOメモリ173及び174の読出し許可制御端子REには、それぞれ異なる制御信号が印加される。

【0033】図4の装置の主要部の信号波形の一例を図6に示す。図4及び図6を参照して説明する。書込同期パルスWCLKは、その周期がイメージセンサの各出力端子OSA～OSDの信号の繰り返し周期と同一のクロックパルスである。FIFOメモリ171～174は、各々、書込同期パルスWCLKが低レベルから高レベルに立ち上がる毎に、データ入力端子DIのデータを入力して記憶する。即ち、図6に示すように、WCLKの1番目のパルスの立ち上がり時に、第1画素、第2画素、第5001画素、及び第5002画素のデータがFIFOメモリ171、172、173及び174に書込まれ、WCLKの2番目のパルスの立ち上がり時に、第3画素、第4画素、及び第5002画素のデータがFIFOメモリ71及び72に書込まれ、以後同様にして、WCLKの各パルスの立ち上がり毎に、4組と各々の画素のデータが、繰り返しFIFOメモリ171～174に書込まれる。

【0034】一方、2つの読出同期パルスRCLKA及びRCLKBは、各々書込同期パルスWCLKの半分の繰り返し周期を有するクロックパルスであり、両者は互いに180度の位相差を有している。また読出同期パルスRCLKA及びRCLKBは、全画素の半分以上のデータがFIFOメモリ171～174に書込まれた後で現われる。即ち、各FIFOメモリに対して、読出し速度は書込み速度の倍になるので、予め充分なデータの書込みを行なった後で読出しを開始する。全画素の読出しを行なうために、読出同期パルスRCLKA及びRCLKBは1回あたりそれぞれ5000パルスが連続的に出力されるが、その期間の前半、即ちRCLKA及びRCLKBの各々第1パルスから第2500パルスの間は、FIFOメモリ171及び172の読出し許可端子REが許可レベルL、FIFOメモリ173及び174の読出し許可端子REが禁止レベルHになっており、逆に後半、即ちRCLKA及びRCLKBの各々の第2501パルスから第5000パルスの間は、FIFOメモリ171及び172の読出し許可端子REが禁止レベルHに、FIFOメモリ171及び172の読出し許可端子REが許可レベルLになっている。

【0035】つまり、読出同期パルスRCLKAの第1パルスから第2500パルスに対しては、FIFOメモリ171のみに対して読出制御が実施され、FIFOメモリ171にそれまでに書込まれた奇数組の第1画素～第4999画素の画像データが連続的に読み出され、読出同期パルスRCLKBの第1パルスから第2500パルスに対しては、FIFOメモリ172のみに対して読出制御が実施され、FIFOメモリ172にそれまでに

書込まれた偶数組の第2画素～第5000画素の画像データが連続的に読み出される。そして、読出同期パルスRCLKAの第2501パルスから第5000パルスに対しては、FIFOメモリ173のみに対して読出制御が実施され、FIFOメモリ173にそれまでに書込まれた奇数組の第5001画素～第9999画素の画像データが連続的に読み出され、読出同期パルスRCLKBの第2501パルスから第5000パルスに対しては、FIFOメモリ174のみに対して読出制御が実施され、FIFOメモリ174にそれまでに書込まれた偶数組の第5002画素～第10000画素の画像データが連続的に読み出される。

【0036】従って、前半の期間にFIFOメモリ171から読み出される第1画素～第4999画素の画像データ及びFIFOメモリ172から読み出される第2画素～第5000画素の画像データと、後半の期間にFIFOメモリ173から読み出される第5001画素～第9999画素の画像データ及びFIFOメモリ174から読み出される第5002画素～第10000画素の画像データは、同じ8ビットの画像信号ラインにそれぞれ出力される。これにより、第1画素～第10000画素が時系列信号として順番に並んだ、シリアルデータの形で1つの画像信号が得られる。

【0037】上記実施例では、モノクロ用の画像読取装置を示したが、カラー画像読取装置についても同様に本発明を実施しうる。例えば東芝株式会社で販売されているイメージセンサの中に、R、G、Bの各色を同時に撮像し、各色の画像信号をそれぞれ4組に分離して各々独立したCCDシフトレジスタで並列に信号を出力しうるものがある。このイメージセンサ画像読取手段としてを用い、上記実施例のような回路をR、G、Bの各色について並列的に構成すれば、同時に12画素(R、G、B各4画素)の信号を読み出し、各色を画素の順番に並び替えたR、G、Bの各画像信号を取り出すことができる。

【0038】

【発明の効果】本発明によれば、画像読取手段は、4以上の出力端子を有し、区分された4組以上の各々の光電変換素子群からの信号が実質上同時に、即ち並列的に出力されるので、出力される画像信号の1画素あたりの周期が、全画素を順番に出力する場合に比べて区分数倍になり、区分数が多くなるに従って、単位時間あたりの読出可能画素数が増え、高速画像読取が可能になる。画像読取手段が並列的に出力する複数の信号は、一列に配列

された光電変換素子群を例えば偶数と奇数のような順番によって区分した各々の系統からの信号と、領域毎に区分した各々の領域からの信号であるが、信号合成手段がこれらの信号を処理し、複数系統の光電変換素子群からの信号を画素順に並べて合成し、かつ区分された複数領域の光電変換素子群からの信号を画素順に並べて合成し、1つの時系列信号(画像信号)として出力する。従って、本発明の画像読取装置に接続する画像処理回路は1つのみで良い。

【0039】第2番目及び第3番目の発明は、奇数と偶数のように並び順によって区分された複数系統の信号が、互いに時間的にずれて出力されるものを画像読取手段として使用する場合に適している。即ち、この種の信号は簡単にアナログ信号の形で合成しうる。アナログ信号で合成することにより、デジタル信号処理に比べて回路構成が簡単になり、例えば必要なFIFOメモリが減少する。

【0040】第4番目及び第5番目の発明は、画像読取手段が出力する全ての区分の画像信号が、同じタイミングで出力される場合に適している。即ち、この種の信号はアナログ信号の形で合成するのが難しいので、デジタル信号処理によって合成する方が簡単である。

【図面の簡単な説明】

【図1】 実施例の画像読取装置の構成を示すブロック図である。

【図2】 図1のイメージセンサの出力信号を示す波形図である。

【図3】 図1の装置各部の信号波形を示すタイムチャートである。

【図4】 変形実施例の画像読取装置の構成を示すブロック図である。

【図5】 図4のイメージセンサの出力信号を示す波形図である。

【図6】 図4の装置各部の信号波形を示すタイムチャートである。

【符号の説明】

10：タイミング発生回路

20, 120：CCDイメージセンサ

31～34, 131～134：増幅器

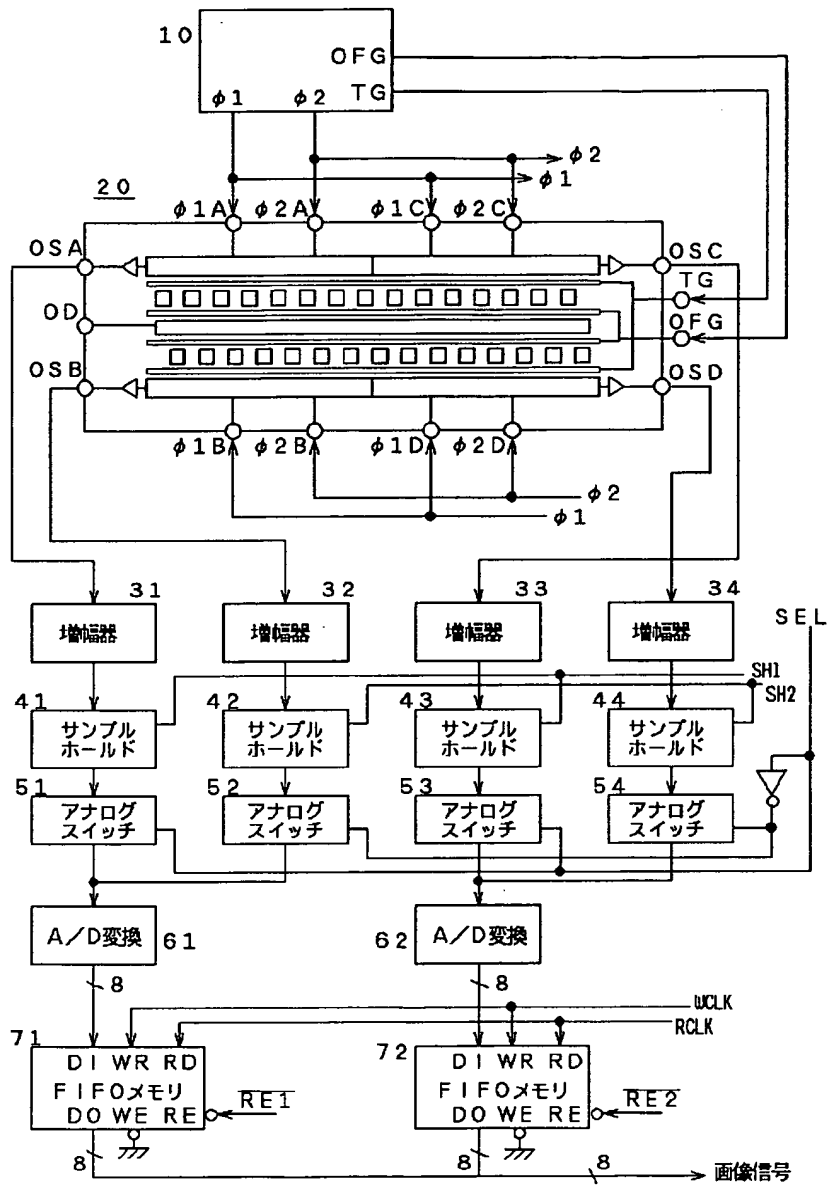
41～44, 141～144：サンプルホールド回路

51～54：アナログスイッチ

61, 62, 161～164：A/D変換器

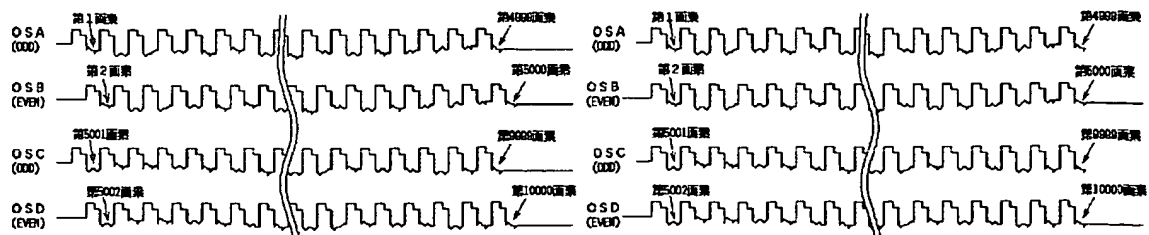
71, 72, 171～174：FIFOメモリ

【図1】

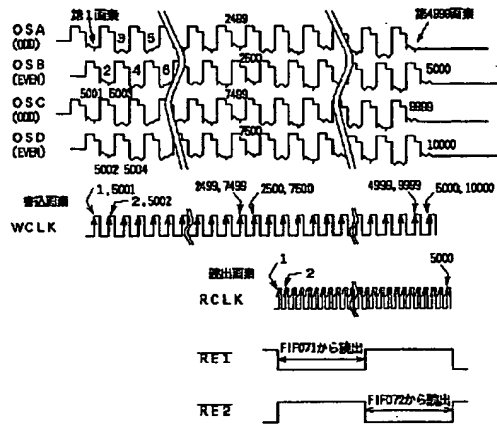


【図2】

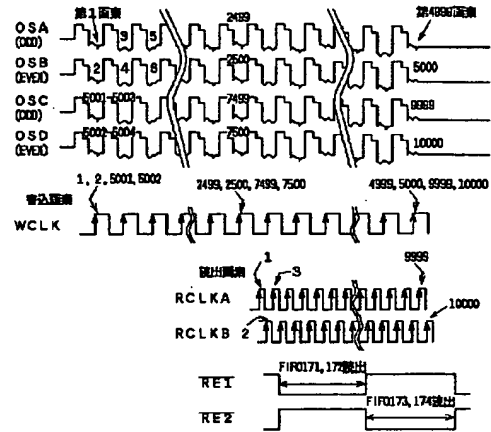
【図5】



【図3】



【図6】



【図4】

